

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-204032

(43)Date of publication of application : 18.07.2003

(51)Int.Cl.

H01L 25/04  
H01L 21/56  
H01L 23/52  
H01L 25/18

(21)Application number : 2002-001963

(71)Applicant : SONY CORP

(22)Date of filing : 09.01.2002

(72)Inventor : IWASHITA TAKESHI  
MAKINO HARUHIKO  
KUSANO HIDETOSHI

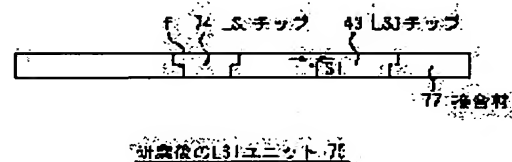
## (54) ELECTRONIC COMPONENT AND ITS MANUFACTURING METHOD

## (57)Abstract:

PROBLEM TO BE SOLVED: To make thin a semiconductor chip while enhancing the bonding strength.

SOLUTION: An LSI unit 75 is formed by molding LSI chips 43 and 74 through a bonding material 77, polishing the side opposite to the device face f substantially in parallel with the faces of the LSI chips 43 and 74 such that the LSI unit 75 has a thickness of 100-200  $\mu\text{m}$ , and then dicing it. The LSI chips 43 and 74 are bonded to the bonding material 77 only on the side face, but when such LSI chips 43 and 74 as provided previously with a step S1 on the side face are employed, connection area between the LSI chips 43 and 74 and the bonding material 77 is increased and the bonding power is enhanced. Consequently, the LSI unit 75 can be made thin.

図13



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2003-204032

(P 2003-204032A)

(43) 公開日 平成15年7月18日 (2003. 7. 18)

(51) Int. Cl. 7	識別記号	F I	テ-マ-コード (参考)
H 0 1 L	25/04	H 0 1 L 21/56	E 5F061
	21/56	25/04	Z
	23/52	23/52	D
	25/18		

審査請求 未請求 請求項の数 8

OL

(全 10 頁)

(21) 出願番号 特願2002-1963 (P2002-1963)

(22) 出願日 平成14年1月9日 (2002. 1. 9)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 岩下 斌

東京都品川区東五反田2丁目20番4号 ソニー・ヒューマンキャピタル株式会社内

(72) 発明者 牧野 晴彦

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100082131

弁理士 稲本 義雄

最終頁に続く

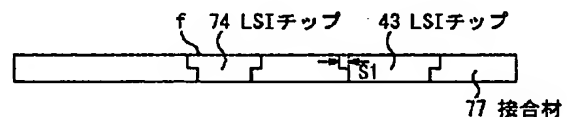
(54) 【発明の名称】 電子部品及び電子部品の製造方法

(57) 【要約】

【課題】 半導体51の接着強度を高め、薄型化できるようにする。

【解決手段】 L S I ユニット 7 5 は、L S I 4 3 および L S I 7 4 が接合材 7 7 によりモールドされたものを、L S I ユニット 7 5 の厚みが 1 0 0 μ m 乃至 2 0 0 μ m になるように、デバイス面 f とは反対側の面が、L S I 4 3 および L S I 7 4 の面とほぼ平行に研磨され、さらに、ユニット別にダイシングされて、形成される。従って、L S I 4 3 および L S I 7 4 は、接合材 7 7 とは、側面でしか接合されないが、側面に予め段部 S 1 が付けられた L S I 4 3 および L S I 7 4 を使用することにより、L S I 4 3 および L S I 7 4 と接合材 7 7 の接続面積が増え、接合力が高まる。従って、L S I ユニット 7 5 の薄型化が図れるようになる。

図17



研磨後のLSIユニット 75

## 【特許請求の範囲】

【請求項 1】 複数個または複数種の半導体チップが接合材により平坦な基板上にモールドされ、モールドされたユニット毎に前記接合材の位置で切断され、実装基板に用いられる電子部品であって、

前記接合材によりモールドされる半導体チップは、側面に段の形状を有することを特徴とする電子部品。

【請求項 2】 前記接合材は、ガラス、セラミック、または、樹脂よりなる絶縁体であることを特徴とする請求項 1 に記載の電子部品。

【請求項 3】 前記複数個または複数種の半導体チップは、金属薄膜により電気的に、かつ、相互に再配線されていることを特徴とする請求項 1 に記載の電子部品。

【請求項 4】 平坦な基板上に、処理前は粘着力を持つが処理後は粘着力が低下する粘着部材を貼り付ける第 1 のステップと、

側面に段の形状を有する、複数個または複数種の半導体チップをデバイス面を下にして、前記粘着部材の上に配置する第 2 のステップと、

接合材により前記複数個または複数種の半導体チップを前記基板上にモールドする第 3 のステップと、

前記粘着部材に所定の工程を施して前記粘着部材の粘着力を低下させ、前記半導体チップを配置した前記基板を剥離する第 4 のステップと、

前記接合材の前記デバイス面とは反対側の面を前記半導体チップの面とはほぼ平行に研磨する第 5 のステップと、前記複数個または複数種の半導体チップにより構成される電子部品の間において前記接合材を切断し、各電子部品を分離する第 6 のステップとを含むことを特徴とする電子部品の製造方法。

【請求項 5】 前記接合材は、ガラス、セラミック、または、樹脂よりなる絶縁体であることを特徴とする請求項 4 に記載の電子部品の製造方法。

【請求項 6】 前記複数個または複数種の半導体チップを、金属薄膜により電気的に、かつ、相互に再配線する第 7 のステップをさらに含むことを特徴とする請求項 4 に記載の電子部品の製造方法。

【請求項 7】 複数の半導体チップが形成されたウエーハを用意する第 1 のステップと、

前記ウエーハを、一方の面側から途中の所定の位置まで、第 1 の幅のブレードによりダイシングする第 2 のステップと、

前記ウエーハを、他方の面側から、前記第 1 の幅と異なる第 2 の幅のブレードによりダイシングして、前記半導体チップを、その側面に段部を形成して分離する第 3 のステップとを含むことを特徴とする電子部品の製造方法。

【請求項 8】 前記ブレードの第 1 の幅は、35 μm 乃至 50 μm であり、前記第 2 の幅は、50 μm 以上であることを特徴とする請求項 7 に記載の電子部品の製造方

法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電子部品および電子部品の製造方法に関し、特に、半導体チップの接着強度を高め、薄型化できるようにした電子部品および電子部品の製造方法に関する。

【0002】

【従来の技術】 近年、携帯端末や情報家電分野においては、小型軽量化や高機能化に対する要求が強く、高速化および高周波化が求められている。このため、1つのウエーハから多数の LSI (Large Scale Integrated circuit) や IC (Integrated Circuit) が作成される SOC (System On Chip) でも、半導体デバイスの微細ピッチ化および高集積化が進んでいる。

【0003】 図 1 に示されるように、ウエーハ 1 は、SOC による複数の半導体チップ 2 が形成されている。ブレード 3 は、ダイヤモンド製の 35 μm のホイール幅により構成されたダイシング刃を有する。このウエーハ 1 は、ブレード 3 により、半導体チップ 2 毎にダイシングされる。これにより、ウエーハ 1 から、複数の LSI 4 が生成される。

【0004】 しかしながら、SOC でウエーハ上に作成される複数の LSI や IC は、すべてが良品というわけではなく、中には、不良品が存在する。LSI や IC が不良品であるか否かは、作成プロセスの途中では判らないので、途中の作業工程で、既に不良品となってしまう作成途中の LSI や IC に対しても、残りのすべての作業工程を施さなければならない。従って、歩留まりが悪い場合、多くの作業が無駄となってしまう。さらに、異なる動作電圧のデバイスを混在させにくく、高性能な高周波ブロックの SOC 化が困難であった。従って、高性能な高周波の電気回路を作成するためには、SOC により作成された LSI を個別に電気回路に接続していた。

【0005】 この LSI 4 を個別に電気回路に用いる場合、LSI 4 を、リードフレームのようなパッケージ材料上に導電樹脂等で固定し、金細線によるボンディング後、樹脂でモールドし、さらに、リード加工したり、あるいは、LSI 4 を金細線ではなく、はんだで直接接続し、フリップ方式の形状に加工することが必要であった。

【0006】 従って、電気回路は、以上のように加工された LSI 4 をプリント基板上でさらに接続し、作成されていた。しかしながら、この方法で作成された電気回路は、接続する LSI 4 が多くなるほど、小型化または薄型化が困難である問題があった。

【0007】 そこで、最近、SIP (System In Package) が注目されている。SIP では、SOC で作成され、すでに良品と確認されている各種 (同種または異種) の

10

20

30

40

50

LSIチップやICを組み合わせ配置し、再配線し、ユニット（モジュール）化として完成させることで1つの部品（LSIまたはIC）として取り扱うことができるようにするものである。

【0008】図2は、SIPにより作成されたLSIユニット11の例である。図1において、ダイシングされたLSIチップ4の中から良品のみを選び出し、さらに、LSIチップ4と同様に作成され、選び出された他のLSIチップ12を組み合わせで、図2に示されるように、LSIユニット11を作成する。LSIユニット11は、樹脂13などにより、LSIチップ4とLSIチップ12が1つの部品としてモールドされたものである。

【0009】LSIユニット11は、良品のLSIチップ4およびLSIチップ12のみを組み合わせているため、歩留まりがよい。また、SIPでは、多様な機能を有するLSIユニット11やICモジュール（図示しない）などが簡単に実現される。さらに、複数のLSIチップ4やLSIチップ12を1つの部品として扱うことができるので、電気回路の小型化または薄型化に効果がある。

#### 【0010】

【発明が解決しようとする課題】しかしながら、現状においても、特に携帯用の端末においては、その薄型化あるいは小型化が進み、さらなる薄型の電気回路が要求されるようになってきている。

【0011】LSIチップ4とLSIチップ12が1つの部品としてモールドされたLSIユニット11を用いて電気回路の薄型化を図る場合、LSIチップ4（LSIチップ12）自体を薄くダイシングすることが考えられるが、薄くダイシングされたLSIチップ4は、歪みのため、そりが発生しやすい。そのそりは、LSIチップ4の厚みが150 $\mu$ m以下になると顕著になる傾向がある。従って、薄くダイシングされたLSIチップ4を使用してLSIユニット11を作成することは、困難であった。

【0012】そこで、300 $\mu$ m乃至500 $\mu$ mの厚みのLSIチップ4（LSIチップ12）を用いてLSIユニット11を作成し、そのLSIチップ4のデバイス面fとは反対側の面を、研磨して、LSIユニット11を薄くすることで対応させようとした。しかしながら、求める薄さにするためには、LSIチップ4自体のデバイス面fとは反対側の面までも研磨する場合もあり、その場合、図3に示されるように、LSIチップ4の薄い側面のみが樹脂13との接統面となるため、LSIチップ4と樹脂13との接統面積が狭くなり、接統の強度が弱まるといった課題があった。

【0013】さらに、研磨によって、LSIチップ4（LSIチップ12）のデバイス面とは反対側から、クラック（ひび）14やチッピング（欠け）が生じる場合

があり、そのクラック14がLSIチップ4（LSIチップ12）のデバイス面fまで影響を及ぼし、特性不良が発生してしまう課題があった。

【0014】以上のことから、LSIチップ4とLSIチップ12が1つの部品としてモールドされたLSIユニット11の薄型化が困難である課題があった。

【0015】本発明は、このような状況に鑑みてなされたものであり、半導体チップの接着強度を高め、薄型化できるようにするものである。

#### 【0016】

【課題を解決するための手段】本発明の電子部品は、接合材によりモールドされる半導体チップは、側面に段の形状を有することを特徴とする。

【0017】接合材は、ガラス、セラミック、または、樹脂よりなる絶縁体であるようにすることができる。

【0018】複数個または複数種の半導体チップは、金属薄膜により電気的に、かつ、相互に再配線されているようにすることができる。

【0019】本発明の第1の電子部品の製造方法は、平坦な基板上に、処理前は粘着力を持つが処理後は粘着力が低下する粘着部材を貼り付ける第1のステップと、側面に段の形状を有する、複数個または複数種の半導体チップをデバイス面を下にして、粘着部材の上に配置する第2のステップと、接合材により複数個または複数種の半導体チップを基板上にモールドする第3のステップと、粘着部材に所定の工程を施して粘着部材の粘着力を低下させ、半導体チップを配置した基板を剥離する第4のステップと、接合材のデバイス面とは反対側の面を半導体チップの面とほぼ平行に研磨する第5のステップと、複数個または複数種の半導体チップにより構成される電子部品の間において接合材を切断し、各電子部品を分離する第6のステップとを含むことを特徴とする電子部品の製造方法。

【0020】接合材は、ガラス、セラミック、または、樹脂よりなる絶縁体であるようにすることができる。

【0021】複数個または複数種の半導体チップを、金属薄膜により電気的に、かつ、相互に再配線する第7のステップをさらに含むようにすることができる。

【0022】本発明の第2の電子部品の製造方法は、複数の半導体チップが形成されたウエーハを用意する第1のステップと、ウエーハを、一方の面側から途中の所定の位置まで、第1の幅のブレードによりダイシングする第2のステップと、ウエーハを、他方の面側から、第1の幅と異なる第2の幅のブレードによりダイシングして、半導体チップを、その側面に段部を形成して分離する第3のステップとを含むことを特徴とする。

【0023】ブレードの第1の幅は、35 $\mu$ m乃至50 $\mu$ mであり、第2の幅は、50 $\mu$ m以上であるようにすることができる。

【0024】本発明の電子部品および第1の電子部品の

10

20

30

40

50

製造方法においては、側面に段の形状を有する半導体チップが、接合材によりモールドされる。

【0025】本発明の第2の電子部品の製造方法においては、第1の幅と第2の幅のブレードにより、ダイシングすることで側面に段部を有する半導体チップが製造される。

【0026】

【発明の実施の形態】以下、図を参照して、本発明の実施の形態について説明する。

【0027】図4は、SOCにより前工程が施されたウエーハ21を表している。ウエーハ21には、複数の半導体チップ22が形成されている。ウエーハ21上のダイシングライン23は、ウエーハ21を半導体チップ22毎にダイシングするために、予め設定された指標となるラインである。

【0028】図5は、ウエーハ21をダイシングするための本発明のダイシング処理装置のブロック図である。

【0029】ダイシング処理装置では、ウエーハ配置部31、ウエーハダイシング部32、および検査部33を有している。

【0030】ウエーハ配置部31は、ウエーハ21を用意し、所定の位置に配置する。ウエーハダイシング部32は、ウエーハ21をブレード41（図7A）または幅広ブレード42（図7B）を用いて、所定の方向からダイシングする。検査部33は、生成されたLSIチップ43を検査する。

【0031】図6のフローチャート、および図7を参照して、本発明を適用したウエーハ21のダイシング処理を説明する。

【0032】ステップS1において、図7に示されるように、ウエーハ配置部31は、複数の半導体チップ22が形成されているウエーハ21を用意する。

【0033】図7は、図4のウエーハ21のデバイス面（活性面）fを上にした側面図である。ウエーハ21上には、SOCにより形成された半導体チップ22が配置されている。

【0034】ステップS2において、ウエーハダイシング部32は、ダイシングライン23に沿って、ブレード41（図7A）により、デバイス面f側から所定の位置hまで、ウエーハ21をダイシングする。ブレード41は、ブレード3（図1）と同様に、ダイヤモンド製の35μmの刃幅のホイールのダイシング刃を有する。従って、ウエーハ21には、ブレード41の刃幅（35μm）の切り込みw1が形成される。

【0035】次に、ステップS3において、ウエーハダイシング部32は、ウエーハ21を幅広ブレード42により、図7Bに示されるように、デバイス面fの反対側から位置hまで、ダイシングさせる。幅広ブレード42は、ダイヤモンド製の、ブレード41よりも幅広である200μmの刃幅のホイールのダイシング刃を有する。

従って、ウエーハ21には、幅広ブレード42の刃幅（200μm）の切り込みw2が形成される。

【0036】これにより、半導体チップ22により構成されているLSIチップ43a、43b、43c、…が、ウエーハ21から得られる（以下、これらを個々に区別する必要がない場合、単にLSIチップ43と称する）。

【0037】尚、所定の位置hは、デバイス面fより30μm乃至300μmとされ、LSIチップ43がユニット化され、研磨された後のLSIユニット75（図17）の厚みの1/2を目安に予め設定される。

【0038】図8は、ブレード41および幅広ブレード42によりウエーハ21をダイシング（ダブルダイシング）することで生成されたLSIチップ43aおよびLSIチップ43bを拡大した図である。ブレード41のダイシングによる切り込みw1は、35μmであり、幅広ブレード42のダイシングによる切り込みw2は、200μmである。従って、半導体チップ22を含むLSIチップ43の側面には、約80μmの段部S1が形成される。尚、図8には、左右方向の側面しか図示されていないが、紙面と垂直な方向（前後方向）の側面も同様に形成される。

【0039】以上においては、ブレード41の刃幅が35μmとして、幅広ブレード42の刃幅が200μmとして説明されたが、ブレード41の刃幅は、35μm乃至50μmであればよく、また、幅広ブレード42の刃幅は、ブレード41の刃幅よりも幅広の50μm以上であればよい。さらに、上記説明では、ウエーハ21において、先に、ブレード41によるデバイス面f側からのダイシングを行ったが、幅広ブレード42によるデバイス面fの反対側からのダイシングを先に行わせるようにしてもよい。

【0040】以上のように作成されたLSIチップ43は検査部33で検査され、その中から良品のみが選出され、次に後述するLSIユニットの形成処理においては、選出された良品のみが用いられる。

【0041】図9は、本発明のLSIユニットの形成処理装置のブロック図である。

【0042】この形成処理装置は、基板配置部51、シート貼付部52、LSI配置部53、ガイド処理部54、接合材処理部55、加熱処理部56、再配線処理部57、研磨部58およびダイシング部59により構成されている。

【0043】基板配置部51は、支持基板71（図11A）を用意し、所定の位置に配置する。シート貼付部52は、支持基板71上に、接着用シート72（図11B）を貼付したり、その接着用シート72上に、離散層73（図11C）を塗布する。

【0044】LSI配置部53は、画像認識機能を有するマウンタ（図示せず）を制御し、LSIチップ43お

よびLSIチップ74（図11D）を支持基板71上に配置させる。ガイド処理部54は、支持基板71の周囲に、流れ止め用ガイド76（図12E）を設置したり、外す処理を行う。

【0045】接合材処理部55は、支持基板71上に、接合材77（図12F）を流し込む処理を行う。加熱処理部56は、支持基板71上に形成されるもの全てを加熱させ、接合材77を硬化し、支持基板71からLSIユニット75（図12G）を剥離する。

【0046】再配線処理部57は、LSIユニット75の再配線処理を行う。研磨部58は、LSIユニット75の接合材77の厚みが所定の厚みになるように、接合材77を研磨する。ダイシング部59は、複数のLSIユニット75により構成されている半導体LSI集積板を各ユニット毎にダイシングする。

【0047】次に、図10のフローチャートと図11乃至図14の工程図を参照して、本発明のLSIユニットの形成処理を説明する。

【0048】まず、ステップS21において、基板配置部51は、支持基板71（図11A）を用意し、所定の位置に配置する。支持基板71は、LSIチップ43およびLSIチップ74（図11D）を配置するための仮の基板であり、1辺が約20cmで、厚みが1mm乃至3mmの金属、ガラス、または、シリコンにより構成される角板である。支持基板71の表面は、ミラー状に研磨されている。

【0049】次に、ステップS22において、シート貼付部52は、支持基板71上に、接着用シート72（図11B）を貼付け、さらに、その接着用シート72上に、離散層73（図11C）を塗布する。この離散層73は、熱および紫外線が照射されることにより、接着力を低下させる性質を持っており、後の工程で、接着用シート72の接着強度を下げるために塗布される。

【0050】次に、ステップS23において、LSI配置部53は、図11Dに示されるように、任意の数のLSIチップ43およびLSIチップ74を、支持基板71の離散層73の上に、デバイス面（活性面）fを下（離散層73に接する方向）にして配置する。LSIチップ74は、LSIチップ43と同様に作成され、検査の結果、良品であることが確認されたLSIチップである。

【0051】図11Dの例では、LSIチップ43およびLSIチップ74により1つのLSIユニット（LSIチップの組み合わせ）75が構成され、支持基板71上には、複数のLSIユニット75が形成されるように、所定の数のLSIチップ43およびLSIチップ74が所定の位置に配置される。具体的には、用意されたLSIチップ43およびLSIチップ74は、デバイス面fを下（離散層73に接する方向）にして、画像認識機能を有するマウンタにより、±5μm以上の精度で正

確に予め決められた位置（支持基板71上の位置）に配置される。

【0052】尚、図11Dにおいて、LSIユニット75が、LSIチップ43およびLSIチップ74により構成されているが、組み合わせるLSIチップは、同じ種類でも異なる種類でもよく、さらに、その組み合わせる数は、2個以上であれば、いくつでもよい。ただし、組み合わせるLSIチップは、良品と確認されたものに限られる。

【0053】図10のステップS24において、ガイド処理部54は、支持基板71の周囲に、LSIユニット75をモールドするための接合材77（図12F）の流出を防止するための流れ止め用ガイド76（図12E）を設置する。流れ止め用ガイド76は、丸状でも四角状でも流れ止めができればよい。その後、ステップS25において、接合材処理部55は、図12Fに示されるように、支持基板71上に、LSIユニット75をモールドするための接合材77を流し込む。

【0054】接合材77は、樹脂及び充填剤により構成される。樹脂は、接合材77のベースとして用いられ、例えば、エポキシ樹脂により構成される。ただし、エポキシ樹脂は、硬化収縮や熱膨張係数が大きく、そりや割れを引き起こしやすい性質があるため、その中でもできるだけその値が小さなものを選ぶ。さらに、充填剤を大量に混合することにより、樹脂のそりや割れを防止し、接合材77の歪みを小さくする。従って、この充填剤には、例えば、熱膨張係数の小さい球状シリカ（石英）が用いられる。接合材77における球状シリカは、さまざまな大きさの粒径のものを組み合わせることにより、重量比で90%まで混合させることが可能である。

【0055】尚、上記を満たすものであれば、エポキシ樹脂の代わりに他の有機樹脂を用いてもよいし、球状シリカの代わりに、他のガラス、セラミックを用いるようにしてもよい。

【0056】次に、図10のステップS26において、加熱処理部56は、接合材77を加熱により、硬化させ、支持基板71から剥がす。また、ガイド処理部54は、流れ止め用ガイド76を外す（図12G）。具体的には、支持基板71上に形成されるもの全てが、100℃で30分加熱され、さらに、150℃で80分、加熱されている。この加熱により、離散層73が接着用シート72の接着力を低下させるので、接合材77およびLSIユニット75のデバイス面は、支持基板71から容易に剥離でき、モールドされた半導体LSI集積板が得られる。

【0057】次に、ステップS27において、再配線処理部57は、半導体LSI集積板（LSIユニット75）の再配線処理を実行する。LSIユニット75の再配線処理について、図15のフローチャートを参照して説明する。

【0058】ステップS41において、再配線処理部57は、図13Hに示されるように、LSIユニット75のデバイス面fに、層間膜78として、オーバーコート樹脂（例えば、感光性ポリイミド液体樹脂）をスピナーコートする。この層間膜78は、接合材77およびLSIユニット75のデバイス面を平坦化させ、さらに、LSIチップ43およびLSIチップ74のバッシベーション膜として作用する。

【0059】さらに、ステップS42において、再配線処理部57は、層間膜78上の所定の位置に、30μm以下のコンタクトホール79を作成する。図13Iに示されるように、層間膜78上のLSIチップ43およびLSIチップ74のボンドエリアには、LSIチップ43およびLSIチップ74を再配線するために、LSIユニット75あたり数百から数千個のコンタクトホール79が作成される。このコンタクトホール79は、層間膜78上にフォトレジストを形成し、その後、フォトレジストの所定の位置を、露光、現像、および、加熱硬化することにより作成される。

【0060】次に、ステップS43において、再配線処理部57は、コンタクトホール79が作成された層間膜78上に、再配線層81（図14K）になる金属薄膜80を成膜する。金属薄膜80は、ニッケルまたはクロムの下地層と銅とが一緒にスパッタ技術により成膜されたものである。下地層は、層間膜78と銅の密着をよくするための層であり、厚みは、500Å乃至2000Åである。また、銅の厚みは、5000Å乃至5μmである。

【0061】さらに、ステップS44において、再配線処理部57は、フォトリソセスにより、この金属薄膜80上に、所定の回路パターンの元になるマスクパターンをフォトレジストで形成する。その後、ステップS45において、再配線処理部57は、回路パターンの元になるマスクパターンが形成されたフォトレジストを表面に有する金属薄膜80に対して金属の専用エッチング液によりエッチングを行い、金属薄膜80に回路パターンを転写する。その後、再配線処理部57により、金属薄膜80上のレジストは除去される。これにより、図14Kに示されるように、層間膜78上に再配線層81が形成される。

【0062】以上のようにして、再配線処理が行われた後、図10のステップS28において、研磨部58は、接合材77のデバイス面の反対側の面を研磨する。すなわち、図14Kに示されるように、モールドされた半導体LSI集積板（LSIユニット75の接合材77）の厚みd1は、製造工程中における取り扱いが容易なように、500μm乃至700μmの厚みとされていたが、図14Lに示されるように、LSIユニット75の接合材77は、その厚みd2が、半導体チップの面とほぼ平行に、100μm乃至200μmになるように、研磨さ

れる。

【0063】なお、図11乃至図14においては、LSIユニット75の1ユニット分しか示されていないが、実際には、半導体LSI集積板は、複数個のLSIユニット75により構成されている。したがって、ステップS29において、ダイシング部59は、上記作業により形成された半導体LSI集積板を、図14Lに示されるように、それぞれ、1ユニット毎にブレード82によりダイシング（切削加工）させる。これにより、多数のLSIユニット75が得られる。

【0064】以上のように、本発明を適用したLSIユニット75が作成される。

【0065】図16は、研磨前のLSIユニット75（図14K）のデバイス面fを上にした図である（図16において、LSIユニット75の再配線層の図示は、省略されている）。LSIユニット75は、このLSIユニット75の厚みが100μm乃至200μmになるように予め決められた位置eにおいて、デバイス面fとは反対側の面が研磨される。これにより、図17のLSIユニット75が生成される。

【0066】また、図17は、図14LのLSIユニット75のデバイス面fを上にした図である（図17においても、図16と同様に、LSIユニット75の再配線層の図示は、省略されている）。図17に示されるように、LSIチップ43およびLSIチップ74の側面に段部S1（図9）をつけたことにより、接合材77と接続される面積が段部S1の分だけ多くなる。これにより、弱かった接合力が強化される。この効果は、厚さd2が小さい程、顕著となる。

【0067】さらに、LSIチップ43（LSIチップ74）のデバイス面fとは反対側の面を、デバイス面fよりも狭くしたことにより、LSIユニット75の位置eまで研磨されたとき、クラック（ひび）やチッピング（欠け）が生じたとしても、それらがデバイス面fに影響の少ない内側に位置するので、LSIの特性への被害を抑える効果があり、LSIユニット75の信頼性が向上する。

【0068】LSIチップ43のデバイス面fとは反対側の面を、デバイス面fよりも狭くする方法としては、LSIチップ43の側面を斜めに断裁する方法もあるが、その方法では、LSIチップ43の加工が難しくなる。LSIチップ43の側面に段部S1をつけて、LSIチップ43のデバイス面fとは反対側の面を、デバイス面fよりも狭くしたので、LSIチップ43が加工しやすい効果もある。

【0069】以上のように、LSIチップ74およびLSIチップ43がモールドされたLSIユニット75において、LSIユニット75を薄くすることができるので、LSIユニット75を使用して電気回路を作る場合において、小型化、薄型化が図れる。

【0070】

【発明の効果】以上のごとく、本発明の電子部品および電子部品の製造方法によれば、半導体チップの接着強度を高め、薄型化できるようになり、これにより、半導体チップの信頼性の向上、電気回路の小型化および薄型化を図ることができる。

【図面の簡単な説明】

【図1】従来のダイシングによるウエーハのダイシングを説明する図である。

【図2】研磨前の従来のLSIユニットを説明する図である。

【図3】研磨後の従来のLSIユニットを説明する図である。

【図4】SOCにより作成されたウエーハを説明する図である。

【図5】本発明のウエーハのダイシング装置のブロック図である。

【図6】本発明のダイシング処理を説明するフローチャートである。

【図7】本発明のダイシングにより、図4のウエーハの切断を説明する図である。

【図8】本発明のダイシングにより、生成されたLSIチップを説明する図である。

【図9】本発明のLSIユニットの形成処理装置のブロック図である。

【図10】本発明のLSIユニットの形成処理を説明するフローチャートである。

【図11】本発明のLSIユニットの形成工程を説明する図である。

【図12】本発明のLSIユニットの形成工程を説明する図である。

【図13】本発明のLSIユニットの形成工程を説明する図である。

【図14】本発明のLSIユニットの形成工程を説明する図である。

【図15】図10のステップS27のLSIユニットの再配線処理を説明するフローチャートである。

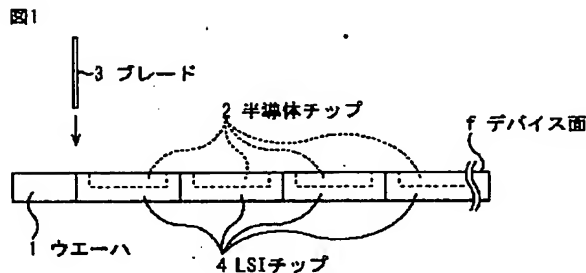
【図16】研磨前の本発明のLSIユニットを説明する工程図である。

【図17】研磨後の本発明のLSIユニットを説明する工程図である。

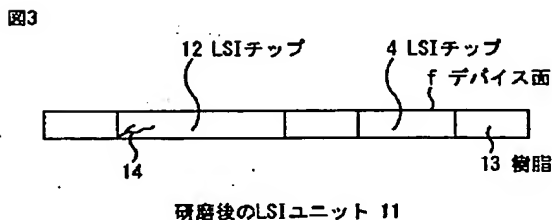
【符号の説明】

21 ウエーハ、 22 半導体チップ、 31 ウエーハ配置部、 32 ウエーハダイシング部、 33 検査部、 41 ブレード、 42 幅広ブレード、 43 LSIチップ、 51 基板配置部、 52 シート貼付部、 53 LSI配置部、 54 ガイド処理部、 55 接合材処理部、 56 加熱処理部、 57 再配線処理部、 58 研磨部、 59 ダイシング部、 71 支持基板、 72 接着用シート、 73 離散層、 74 LSIチップ、 75 LSIユニット、 76 流れ止め用ガイド、 77 接合材、 78 層間膜、 79 コンタクトホール、 80 金属薄膜、 81 再配線層、 82 ブレード

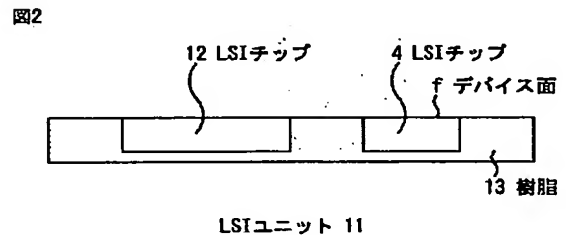
【図1】



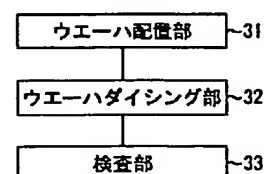
【図3】



【図2】

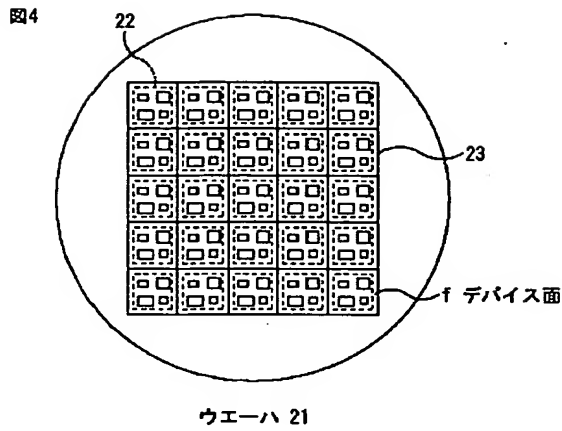


【図5】

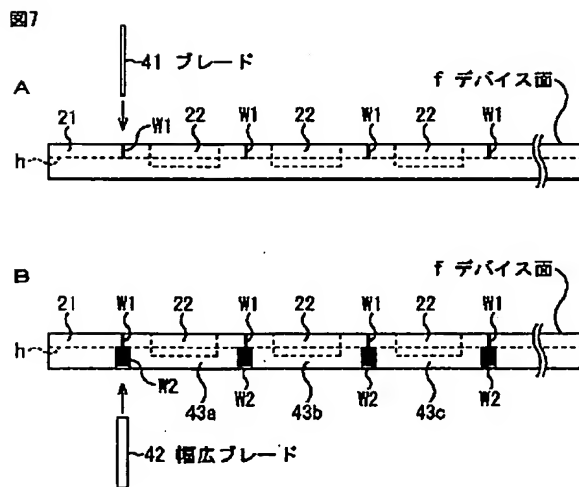




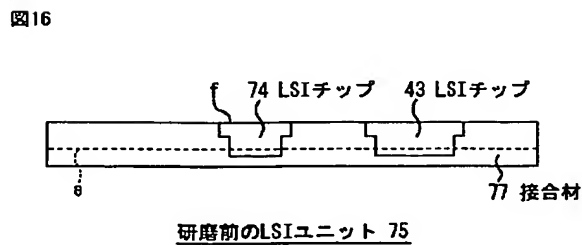
【図4】



【図7】

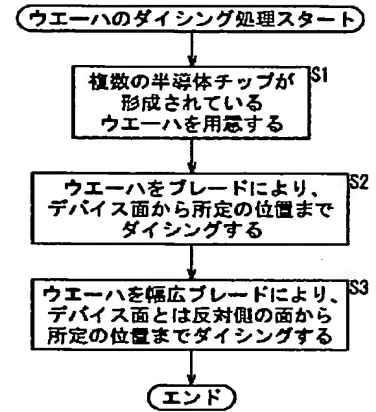


【図16】



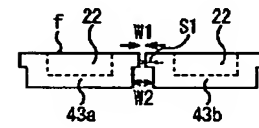
【図6】

図6



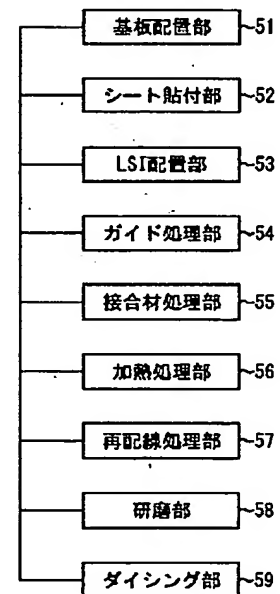
【図8】

図8



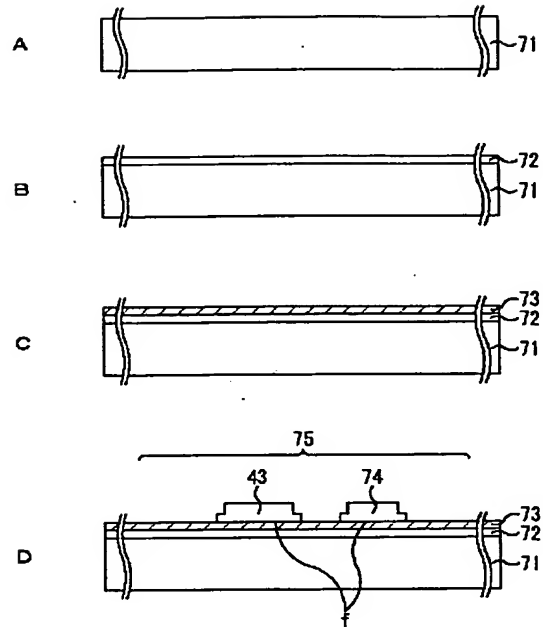
【図9】

図9



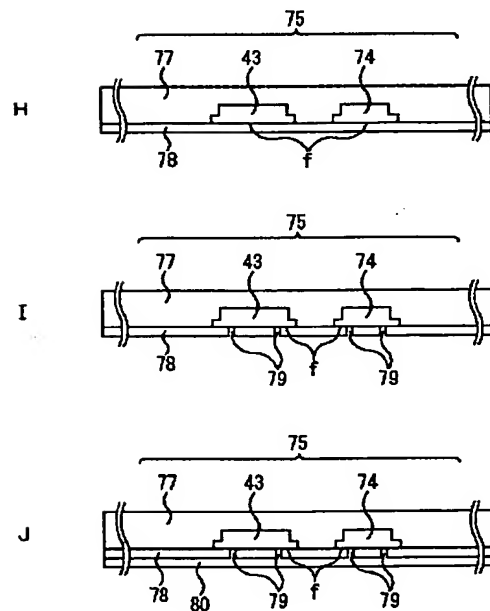
【図 11】

11



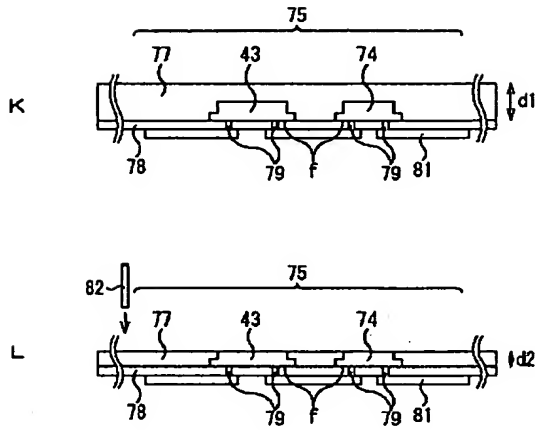
【図 13】

**圖13**



【図14】

図14



【図17】

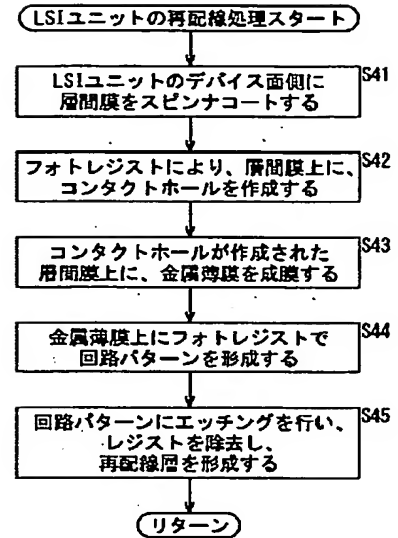
図17



研磨後のLSIユニット 75

【図15】

図15



フロントページの続き

(72) 発明者 草野 英俊  
東京都品川区北品川 6 丁目 7 番 35 号 ソニ  
ー株式会社内

F ターム (参考) 5F061 AA01 BA07 CA06 CB13 FA06

**\* NOTICES \***

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The semiconductor chips by which are the electronic parts by which the mould of plurality or two or more sorts of semiconductor chips was carried out on the flat substrate with the jointing material for corrugated fibreboard, and the mould was carried out, and with which it is cut for every unit in the location of said jointing material for corrugated fibreboard, and is used for a mounting substrate, and a mould is carried out with said jointing material for corrugated fibreboard are electronic parts characterized by having the configuration of a stage on a side face.

[Claim 2] Said jointing materials for corrugated fibreboard are electronic parts according to claim 1 characterized by being glass, a ceramic, or the insulator that consists of resin.

[Claim 3] Said plurality or two or more sorts of semiconductor chips are electronic parts according to claim 1 characterized by carrying out rewiring mutually electrically with the metal thin film.

[Claim 4] The 1st step on which after processing sticks the adhesion member to which adhesion falls although it has adhesion before processing on a flat substrate, A device side is turned for the plurality or two or more sorts of semiconductor chips which have the configuration of a stage on a side face down. The 2nd step arranged on said adhesion member, and the 3rd step which carries

out the mould of said plurality or two or more sorts of semiconductor chips on said substrate with a jointing material for corrugated fibreboard, The 4th step which exfoliates said substrate which the predetermined process was given to said adhesion member, and the adhesion of said adhesion member was reduced, and has arranged said semiconductor chip, The field of said semiconductor chip, and the 5th step which grinds the field of an opposite hand to parallel mostly with said device side of said jointing material for corrugated fibreboard, The manufacture approach of the electronic parts characterized by including the 6th step which cuts said jointing material for corrugated fibreboard, and separates each electronic parts between the electronic parts constituted with said plurality or two or more sorts of semiconductor chips.

[Claim 5] Said jointing material for corrugated fibreboard is the manufacture approach of the electronic parts according to claim 4 characterized by being glass, a ceramic, or the insulator that consists of resin.

[Claim 6] The manufacture approach of the electronic parts according to claim 4 characterized by including further the 7th step which carries out rewiring of said plurality or two or more sorts of semiconductor chips mutually electrically with a metal thin film.

[Claim 7] The 1st step which prepares the wafer with which two or more semiconductor chips were formed, and said wafer from one field side to an intermediate position The dicing of said wafer is carried out to the 2nd step which carries out dicing with the blade of the 1st width of face from the field side of another side with the blade of said 1st width of face and the 2nd different width of face. The manufacture approach of the electronic parts characterized by including the 3rd step which forms a step in the side face and divides said semiconductor chip into it.

[Claim 8] It is the manufacture approach of the electronic parts according to claim 7 characterized by for the 1st width of face of said blade being 35 micrometers thru/or 50 micrometers, and said 2nd width of face being 50 micrometers or more.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] About the manufacture approach of electronic parts and electronic parts, especially this invention raises the bond strength of a semiconductor chip, and relates to the manufacture approach of the electronic parts and electronic parts which could be [ thin shape ] made to carry out-izing.

[0002]

[Description of the Prior Art] In recent years, in the personal digital assistant or the information appliance field, the demand to the formation of small lightweight or advanced features is strong, and improvement in the speed and RF-ization are called for. For this reason, also in SOC (System On Chip) by which many LSI (Large Scale Integrated circuit) and ICs (Integrated Circuit) are created from one wafer, the formation of a detailed pitch and high integration of a semiconductor device are progressing.

[0003] As shown in drawing 1, two or more semiconductor chips 2 which twist a wafer 1 to SOC are formed. A blade 3 has the dicing cutting edge constituted by wheel width of face of 35 micrometers made from a diamond. The dicing of this wafer 1 is carried out by the blade 3 every semiconductor chip 2. Thereby, two or

more LSI chips 4 are generated from a wafer 1.

[0004] However, not all are an excellent article in two or more LSI and ICs which are created on a wafer by SOC, and a defective exists in inside. Since it does not know whether LSI and IC are defectives in the middle of a creation process, it is an intermediate routing and all the remaining routings must be given also to LSI and IC in the middle of the creation which is already a defective. Therefore, many activities will be useless when the yield is bad. Furthermore, it was hard to make the device of different operating voltage intermingled, and SOC-izing of a highly efficient high frequency block was difficult. Therefore, in order to create the electrical circuit of a highly efficient RF, LSI created by SOC was connected according to the individual in the electrical circuit.

[0005] When using this LSI chip 4 according to an individual in an electrical circuit, it was required to fix by electric conduction resin etc. on a package ingredient like a leadframe, to carry out the mould of LSI chip 4 by resin after the bonding by the golden thin line, to carry out lead processing, or to carry out direct continuation of LSI chip 4 not with a golden thin line but with solder further, and to process the configuration of a flip chip method.

[0006] Therefore, the electrical circuit connected further LSI chip 4 processed as mentioned above on the printed circuit board, and was created. However, it had the problem that a miniaturization or thin-shape-izing was difficult, so that LSI chip 4 of the electrical circuit created by this approach to connect increased.

[0007] Then, SIP (System In Package) attracts attention recently. It is created by SOC, rewiring is already arranged and carried out combining an excellent article, and the LSI chip and IC of various kinds (congener or different species) which are checked, and it enables it to deal with it as one component (LSI or IC) by making it complete as unit(module)-izing by SIP.

[0008] Drawing 2 is the example of the LSI unit 11 created by SIP. In drawing 1, combining other LSI chips 12 which selected only the excellent article, were further created like LSI chip 4 and were selected from LSI chips 4 by which dicing was carried out, as shown in drawing 2, the LSI unit 11 is created. As for the LSI

unit 11, the mould of LSI chip 4 and LSI chip 12 is carried out as one component with resin 13 etc.

[0009] Since the LSI unit 11 has combined only LSI chip 4 and LSI chip 12 of an excellent article, its yield is good. Moreover, in SIP, the LSI unit 11, IC module (not shown), etc. which have various functions are realized simply. Furthermore, since two or more LSI chips 4 and LSI chips 12 can be treated as one component, effectiveness is in a miniaturization or thin-shape-izing of an electrical circuit.

[0010]

[Problem(s) to be Solved by the Invention] However, also in the actual condition, in a portable terminal, the thin-shape-izing or miniaturization progresses, and the further thin electrical circuit is required especially.

[0011] Although it is possible to carry out the dicing of LSI chip 4 (LSI chip 12) the very thing thinly when LSI chip 4 and LSI chip 12 attain thin shape-ization of an electrical circuit using the LSI unit 11 by which the mould was carried out as one component, camber tends to generate LSI chip 4 by which dicing was carried out thinly for distortion. The camber will tend to become remarkable if the thickness of LSI chip 4 is set to 150 micrometers or less. Therefore, it was difficult to create the LSI unit 11 using LSI chip 4 by which dicing was carried out thinly.

[0012] Then, you tried to make it correspond by creating the LSI unit 11 using thickness (300 micrometers thru/or 500 micrometers) of LSI chip 4 (LSI chip 12), grinding the field of an opposite hand with the device side f of the LSI chip 4, and making the LSI unit 11 thin. However, since only the thin side face of LSI chip 4 turned into a connection side with resin 13 as it may grind to the field of an opposite hand and is indicated in drawing 3 as the device side f of LSI chip 4 the very thing in that case, in order to make it the thinness for which it asks, the connection area of LSI chip 4 and resin 13 became narrow, and the technical problem that the reinforcement of connection became weaker occurred.

[0013] Furthermore, with the device side of LSI chip 4 (LSI chip 12), a crack



(check) 14 and a chipping (lack) may arise from an opposite hand by polish, the crack 14 did effect to the device side f of LSI chip 4 (LSI chip 12), and the technical problem which a poor property generates occurred.

[0014] From the above thing, the technical problem that thin-shape-izing of the LSI unit 11 with which the mould of LSI chip 4 and LSI chip 12 was carried out as one component was difficult occurred.

[0015] This invention is made in view of such a situation, raises the bond strength of a semiconductor chip, and can be [ thin shape ] made to carry out-izing.

[0016]

[Means for Solving the Problem] The semiconductor chip to which the mould of the electronic parts of this invention is carried out with a jointing material for corrugated fibreboard is characterized by having the configuration of a stage on a side face.

[0017] A jointing material for corrugated fibreboard can be glass, a ceramic, or an insulator that consists of resin.

[0018] Rewiring of plurality or two or more sorts of semiconductor chips can be electrically carried out mutually with the metal thin film.

[0019] The 1st step on which after processing sticks the adhesion member to which adhesion falls although it has adhesion before processing on a substrate with the flat manufacture approach of the 1st electronic parts of this invention, A device side is turned for the plurality or two or more sorts of semiconductor chips which have the configuration of a stage on a side face down. The 2nd step arranged on an adhesion member, and the 3rd step which carries out the mould of plurality or two or more sorts of semiconductor chips on a substrate with a jointing material for corrugated fibreboard, The 4th step which exfoliates the substrate which the predetermined process was given to the adhesion member, and the adhesion of an adhesion member was reduced, and has arranged the semiconductor chip, The field of a semiconductor chip, and the 5th step which grinds the field of an opposite hand to parallel mostly with the device side of a jointing material for corrugated fibreboard, The manufacture approach of the

electronic parts characterized by including the 6th step which cuts a jointing material for corrugated fibreboard and separates each electronic parts between the electronic parts constituted with plurality or two or more sorts of semiconductor chips.

[0020] A jointing material for corrugated fibreboard can be glass, a ceramic, or an insulator that consists of resin.

[0021] The 7th step which carries out rewiring of plurality or two or more sorts of semiconductor chips mutually electrically with a metal thin film can be included further.

[0022] The manufacture approach of the 2nd electronic parts of this invention the 1st step which prepares the wafer with which two or more semiconductor chips were formed, and a wafer from one field side to an intermediate position It is characterized by including the 2nd step which carries out dicing with the blade of the 1st width of face, and the 3rd step which carries out the dicing of the wafer from the field side of another side with the blade of the 1st width of face and the 2nd different width of face, forms a step in the side face and divides a semiconductor chip into it.

[0023] The 1st width of face of a blade is 35 micrometers thru/or 50 micrometers, and the 2nd width of face can be 50 micrometers or more.

[0024] In the manufacture approach of the electronic parts of this invention, and the 1st electronic parts, the mould of the semiconductor chip which has the configuration of a stage on a side face is carried out with a jointing material for corrugated fibreboard.

[0025] In the manufacture approach of the 2nd electronic parts of this invention, the semiconductor chip which has a step on a side face by carrying out dicing with the blade of the 1st width of face and the 2nd width of face is manufactured.

[0026]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained with reference to drawing.

[0027] Drawing 4 expresses the wafer 21 with which the before process was

given by SOC. Two or more semiconductor chips 22 are formed in the wafer 21. The dicing line 23 on a wafer 21 is a line used as the index set up beforehand, in order to carry out the dicing of the wafer 21 every semiconductor chip 22.

[0028] Drawing 5 is the block diagram of the dicing processor of this invention for carrying out the dicing of the wafer 21.

[0029] In the dicing processor, it has the wafer arrangement section 31, the wafer dicing section 32, and the Banking Inspection Department 33.

[0030] The wafer arrangement section 31 prepares a wafer 21, and arranges it to a position. The wafer dicing section 32 carries out the dicing of the wafer 21 from a predetermined direction using a blade 41 ( drawing 7 A) or the broad blade 42 ( drawing 7 B). The Banking Inspection Department 33 inspects the generated LSI chip.

[0031] With reference to the flow chart of drawing 6 , and drawing 7 , dicing processing of the wafer 21 which applied this invention is explained.

[0032] In step S1, as shown in drawing 7 , the wafer arrangement section 31 prepares the wafer 21 with which two or more semiconductor chips 22 are formed.

[0033] Drawing 7 is the side elevation which turned the device side (activity side) f of the wafer 21 of drawing 4 up. On the wafer 21, the semiconductor chip 22 formed of SOC is arranged.

[0034] In step S2, the wafer dicing section 32 carries out the dicing of the wafer 21 from the device side f side to position h with a blade 41 ( drawing 7 A) along the dicing line 23. A blade 41 has the dicing cutting edge of a wheel with a width of tooth [ made from a diamond ] of 35 micrometers like a blade 3 ( drawing 1 ). Therefore, the slitting w1 of the width of tooth (35 micrometers) of a blade 41 is formed in a wafer 21.

[0035] Next, in step S3, the wafer dicing section 32 carries out the dicing of the wafer 21 from the opposite hand of the device side f to a location h, as shown to drawing 7 B by the broad blade 42. The broad blade 42 has the dicing cutting edge of a wheel with a broader than the blade 41 made from a diamond width of

tooth of 200 micrometers. Therefore, the slitting w2 of the width of tooth (200 micrometers) of the broad blade 42 is formed in a wafer 21.

[0036] Thereby, LSI chips 43a, 43b, and 43c and -- which are constituted with the semiconductor chip 22 are obtained from a wafer 21 (hereafter, when these do not need to be distinguished separately, LSI chip 43 is only called).

[0037] In addition, position h is set to 30 micrometers thru/or 300 micrometers from the device side f, unitization of LSI chip 43 is carried out, and one half of the thickness of the LSI unit 75 ( drawing 17 R> 7) after being ground is beforehand set as a rule of thumb.

[0038] Drawing 8 is drawing which expanded LSI chip43a and LSI chip 43b which were generated by carrying out the dicing (double dicing) of the wafer 21 with a blade 41 and the broad blade 42. The slitting w1 by the dicing of a blade 41 is 35 micrometers, and the slitting w2 by the dicing of the broad blade 42 is 200 micrometers. Therefore, about 80-micrometer step S1 is formed in the side face of LSI chip 43 containing a semiconductor chip 22. In addition, although only the side face of a longitudinal direction is illustrated by drawing 8 , the side face of a direction (cross direction) vertical to space is similarly formed in it.

[0039] Although the width of tooth of a blade 41 was explained as 35 micrometers and the width of tooth of the broad blade 42 was explained above as 200 micrometers, the width of tooth of the broad blade 42 should just be 50 micrometers or more broader than the width of tooth of a blade 41 that the widths of tooth of a blade 41 should just be 35 micrometers thru/or 50 micrometers. Furthermore, although the dicing from the device side f side with a blade 41 was performed, you may make it make the dicing from the opposite hand of the device side f with the broad blade 42 perform first in a wafer 21 in the above-mentioned explanation.

[0040] LSI chip 43 created as mentioned above is inspected in the Banking Inspection Department 33, and only the excellent article which only the excellent article was selected and was selected out of the inside in formation processing of the LSI unit mentioned later next is used.

[0041] Drawing 9 is the block diagram of the formation processor of the LSI unit of this invention.

[0042] This formation processor is constituted by the substrate arrangement section 51, the sheet pasting section 52, the LSI arrangement section 53, the guide processing section 54, the jointing-material-for-corrugated-fibreboard processing section 55, the heat-treatment section 56, the rewiring processing section 57, the polish section 58, and the dicing section 59.

[0043] The substrate arrangement section 51 prepares the support substrate 71 ( drawing 11 A), and arranges it to a position. The sheet pasting section 52 sticks the sheet 72 ( drawing 11 B) for adhesion on the support substrate 71, or applies the discrete layer 73 ( drawing 11 C) on the sheet 72 for adhesion.

[0044] The LSI arrangement section 53 controls the mounter (not shown) which has image recognizing ability, and arranges LSI chip 43 and LSI chip 74 ( drawing 11 D) on the support substrate 71. The guide processing section 54 flows around the support substrate 71, and the guide 76 ( drawing 12 E) for stops is installed, or it performs processing to remove.

[0045] The jointing-material-for-corrugated-fibreboard processing section 55 performs processing which slushes a jointing material for corrugated fibreboard 77 ( drawing 12 F) on the support substrate 71. The heat-treatment section 56 makes all the things formed on the support substrate 71 heat, hardens a jointing material for corrugated fibreboard 77, and exfoliates the LSI unit 75 ( drawing 12 G) from the support substrate 71.

[0046] The rewiring processing section 57 performs rewiring processing of the LSI unit 75. The polish section 58 grinds a jointing material for corrugated fibreboard 77 so that the thickness of the jointing material for corrugated fibreboard 77 of the LSI unit 75 may turn into predetermined thickness. The dicing section 59 carries out the dicing of the semi-conductor LSI accumulation plate constituted with two or more LSI units 75 for every unit.

[0047] Next, with reference to process drawing of the flow chart of drawing 10 , drawing 11 , or drawing 14 , formation processing of the LSI unit of this invention

is explained.

[0048] First, in step S21, the substrate arrangement section 51 prepares the support substrate 71 ( drawing 11 A), and arranges it to a position. It is a temporary substrate for arranging LSI chip 43 and LSI chip 74 ( drawing 11 D), one side is about 20cm, and the support substrate 71 is a corner guard constituted with the metal whose thickness is 1mm thru/or 3mm, glass, or silicon. The front face of the support substrate 71 is ground in the shape of a mirror.

[0049] Next, in step S22, the sheet pasting section 52 sticks the sheet 72 ( drawing 11 B) for adhesion on the support substrate 71, and applies the discrete layer 73 ( drawing 11 C) on the sheet 72 for adhesion further. By irradiating heat and ultraviolet rays, this discrete layer 73 has the property to reduce adhesive strength, it is a next process, and it is applied in order to lower the bond strength of the sheet 72 for adhesion.

[0050] Next, in step S23, LSI chip 43 and LSI chip 74 of a number of arbitration are turned on the discrete layer 73 of the support substrate 71, the device side (activity side) f is turned down (direction which touches the discrete layer 73), and the LSI arrangement section 53 arranges, as shown in drawing 11 D. LSI chip 74 is an LSI chip by which it was created like LSI chip 43 and it was checked as a result of inspection that it is an excellent article.

[0051] In the example of drawing 11 D, one LSI unit (an LSI chip should put together) 75 is constituted by LSI chip 43 and LSI chip 74, and predetermined LSI chip 43 and predetermined LSI chip 74 of a number are arranged at a position so that two or more LSI units 75 may be formed on the support substrate 71. LSI chip 43 and LSI chip 74 which were prepared turn the device side f down (direction which touches the discrete layer 73), and, specifically, are arranged by the mounter which has image recognizing ability in the location (location on the support substrate 71) beforehand decided to be accuracy in the precision of  $\pm 5$  micrometers or more.

[0052] In addition, in drawing 11 D, although the LSI unit 75 is constituted by LSI chip 43 and LSI chip 74, if the number to combine is two or more pieces, it is still

better [ a class which is different also by the same class is sufficient as the LSI chip to combine, and ] without limit. However, the LSI chip to combine is restricted to an excellent article and the checked thing.

[0053] In step S24 of drawing 10 , it flows for preventing runoff of the jointing material for corrugated fibreboard 77 ( drawing 12 F) for carrying out the mould of the LSI unit 75 to the perimeter of the support substrate 71, and the guide processing section 54 installs the guide 76 ( drawing 12 E) for stops in it. It flows, and the guide 76 for stops flows also by the shape of the shape of a round head, and a rectangular head, and the stop of it should be just possible. Then, in step S25, the jointing-material-for-corrugated-fibreboard processing section 55 slushes the jointing material for corrugated fibreboard 77 for carrying out the mould of the LSI unit 75 on the support substrate 71, as shown in drawing 12 F.

[0054] A jointing material for corrugated fibreboard 77 is constituted by resin and the bulking agent. Resin is used as the base of a jointing material for corrugated fibreboard 77, for example, is constituted by the epoxy resin. However, hardening contraction and the coefficient of thermal expansion of an epoxy resin are large, and since there is a property which is easy to cause camber and a crack, a thing with the value small as much as possible is chosen also in it. Furthermore, by mixing a bulking agent to a large quantity, the camber and crack of resin are prevented and distortion of a jointing material for corrugated fibreboard 77 is made small. Therefore, a spherical silica with a small coefficient of thermal expansion (quartz) is used for this bulking agent. As for the spherical silica in a jointing material for corrugated fibreboard 77, it is possible by combining the thing of the particle size of various magnitude to make it mix to 90% by the weight ratio.

[0055] In addition, as long as it fills the above, other organic resin may be used instead of an epoxy resin, and you may make it use other glass and a ceramic instead of a spherical silica.

[0056] Next, in step S26 of drawing 10 , with heating, the heat-treatment section 56 stiffens a jointing material for corrugated fibreboard 77, and removes it from the support substrate 71. Moreover, the guide processing section 54 flows and

removes the guide 76 for stops ( drawing 12 G). All the things formed on the support substrate 71 are heated at 100 degrees C for 30 minutes, and, specifically, are further heated at 150 degrees C for 80 minutes. With this heating, since the discrete layer 73 reduces the adhesive strength of the sheet 72 for adhesion, the device side of a jointing material for corrugated fibreboard 77 and the LSI unit 75 can exfoliate easily from the support substrate 71, and the semi-conductor LSI accumulation plate by which the mould was carried out is obtained.

[0057] Next, in step S27, the rewiring processing section 57 performs rewiring processing of a semi-conductor LSI accumulation plate (LSI unit 75). Rewiring processing of the LSI unit 75 is explained with reference to the flow chart of drawing 15 .

[0058] In step S41, the rewiring processing section 57 carries out the spinner coat of the overcoat resin (for example, photosensitive polyimide liquid resin) to the device side f of the LSI unit 75 as an interlayer film 78, as shown in drawing 13 H. This interlayer film 78 carries out flattening of the device side of a jointing material for corrugated fibreboard 77 and the LSI unit 75, and acts as passivation film of LSI chip 43 and LSI chip 74 further.

[0059] Furthermore, in step S42, the rewiring processing section 57 creates the contact hole 79 30 micrometers or less to the position on an interlayer film 78. As shown in drawing 13 I, in order to carry out rewiring of LSI chip 43 and LSI chip 74, thousands of contact holes 79 are created by the bond area of LSI chip 43 on an interlayer film 78, and LSI chip 74 from a-100 number per LSI unit 75. This contact hole 79 forms a photoresist on an interlayer film 78, and the position of a photoresist is created exposure, development, and by carrying out heat hardening after that.

[0060] Next, in step S43, the rewiring processing section 57 forms the metal thin film 80 which becomes the rewiring layer 81 ( drawing 14 K) on the interlayer film 78 by which the contact hole 79 was created. As for the metal thin film 80, nickel, or the substrate layer and copper of chromium are formed by the spatter technique together. A substrate layer is a layer for improving adhesion of an



interlayer film 78 and copper, and thickness is 500A thru/or 2000A. Moreover, copper thickness is 5000A thru/or 5 micrometers.

[0061] Furthermore, in step S44, the rewiring processing section 57 forms the mask pattern which becomes the origin of a predetermined circuit pattern by the photoresist on this metal thin film 80 according to a photograph process. Then, in step S45, the rewiring processing section 57 etches with a metaled exclusive etching reagent to the metal thin film 80 which has the photoresist in which the mask pattern which becomes the origin of a circuit pattern was formed on a front face, and imprints a circuit pattern to the metal thin film 80. Then, the resist on the metal thin film 80 is removed by the rewiring processing section 57. Thereby, as shown in drawing 14 K, the rewiring layer 81 is formed on an interlayer film 78.

[0062] After [ which it is above ] having and performing rewiring processing, in step S28 of drawing 10 , the polish section 58 grinds the field of the opposite hand of the device side of a jointing material for corrugated fibreboard 77. That is, as shown in drawing 14 K, although it considered as the thickness which is 500 micrometers thru/or 700 micrometers so that easily [ the handling / thickness / d1 / of the semi-conductor LSI accumulation plate (jointing material for corrugated fibreboard 77 of the LSI unit 75) by which the mould was carried out / in a production process ], as shown in drawing 14 L, the jointing material for corrugated fibreboard 77 of the LSI unit 75 is ground so that the thickness d2 may be mostly set to 100 micrometers thru/or 200 micrometers with the field of a semiconductor chip at parallel.

[0063] In addition, in drawing 11 thru/or drawing 14 , although only a part for 1 of the LSI unit 75 unit is shown, the semi-conductor LSI accumulation plate is actually constituted by two or more LSI units 75. Therefore, in step S29, the dicing section 59 carries out the dicing (cutting) of the semi-conductor LSI accumulation plate formed of the above-mentioned activity with a blade 82 for every unit, respectively, as shown in drawing 14 L. Thereby, many LSI units 75 are obtained.

[0064] As mentioned above, the LSI unit 75 which applied this invention is

created.

[0065] Drawing 16 is drawing which turned the device side f of the LSI unit 75 ( drawing 14 K) before polish up (in drawing 16 R> 6, the graphic display of the rewiring layer of the LSI unit 75 is omitted). In the location e where the thickness of this LSI unit 75 was beforehand decided to be set to 100 micrometers thru/or 200 micrometers, as for the LSI unit 75, the field of an opposite hand is ground with the device side f. Thereby, the LSI unit 75 of drawing 17 is generated.

[0066] Moreover, drawing 17 is drawing which turned the device side f of the LSI unit 75 of drawing 14 L up (also in drawing 17 , the graphic display of the rewiring layer of the LSI unit 75 is omitted like drawing 16 ). As shown in drawing 17 , the area of the part of a step S1 connected with a jointing material for corrugated fibreboard 77 increases by having attached the step S1 ( drawing 9 ) to the side face of LSI chip 43 and LSI chip 74. Thereby, the weak junction force is strengthened. This effectiveness becomes remarkable, so that thickness d2 is small.

[0067] Furthermore, with the device side f of LSI chip 43 (LSI chip 74), since they are located in the device side f at the inside with little effect even if a crack (check) and a chipping (lack) arise when ground to the location e of the LSI unit 75 by having made the field of an opposite hand narrower than the device side f, it is effective in suppressing the damage to the property of LSI, and the dependability of the LSI unit 75 improves.

[0068] With the device side f of LSI chip 43, although there is also a method of cutting out the side face of LSI chip 43 aslant as an approach of making the field of an opposite hand narrower than the device side f, by the approach, processing of LSI chip 43 becomes difficult. Since the step S1 was attached to the side face of LSI chip 43 and the field of an opposite hand was made narrower than the device side f with the device side f of LSI chip 43, there is effectiveness which LSI chip 43 tends to process.

[0069] As mentioned above, since LSI chip 74 and LSI chip 43 can make the LSI unit 75 thin in the LSI unit 75 by which the mould was carried out, miniaturization

and thin shape-ization can be attained when making an electrical circuit using the LSI unit 75.

[0070]

[Effect of the Invention] Like the above, according to the manufacture approach of the electronic parts of this invention, and electronic parts, the bond strength of a semiconductor chip is raised, it comes to be able to carry out [ thin shape ]-izing, and, thereby, a miniaturization and thin-shape-izing of improvement in the dependability of a semiconductor chip and an electrical circuit can be attained.

---

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is drawing explaining the dicing of the wafer by the conventional dicing.

[Drawing 2] It is drawing explaining the conventional LSI unit before polish.

[Drawing 3] It is drawing explaining the conventional LSI unit after polish.

[Drawing 4] It is drawing explaining the wafer created by SOC.

[Drawing 5] It is the block diagram of the dicing equipment of the wafer of this invention.

[Drawing 6] It is a flow chart explaining dicing processing of this invention.

[Drawing 7] It is drawing which explains cutting of the wafer of drawing 4 by the dicing of this invention.

[Drawing 8] It is drawing which explains the generated LSI chip by the dicing of this invention.

[Drawing 9] It is the block diagram of the formation processor of the LSI unit of this invention.

[Drawing 10] It is a flow chart explaining formation processing of the LSI unit of this invention.

[Drawing 11] It is drawing explaining the formation process of the LSI unit of this invention.

[Drawing 12] It is drawing explaining the formation process of the LSI unit of this invention.

[Drawing 13] It is drawing explaining the formation process of the LSI unit of this invention.

[Drawing 14] It is drawing explaining the formation process of the LSI unit of this invention.

[Drawing 15] It is a flow chart explaining rewiring processing of the LSI unit of step S27 of drawing 10 .

[Drawing 16] It is process drawing explaining the LSI unit of this invention before polish.

[Drawing 17] It is process drawing explaining the LSI unit of this invention after polish.

[Description of Notations]

21 Wafer 22 Semiconductor Chip, 31 Wafer arrangement section 32 Wafer dicing section 33 Banking Inspection Department 41 Blade 42 Broad blade 43 LSI chip 51 Substrate arrangement section 52 The sheet pasting section, 53 LSI arrangement section 54 The guide processing section, 55 Jointing-material-for-corrugated-fibreboard processing section 56 The heat-treatment section, 57 Rewiring processing section 58 The polish section, 59 The dicing section, 71 A

support substrate, 72 Sheet for adhesion 73 A discrete layer, 74 LSI chip 75 LSI unit 76 It flows and is a guide for stops. 77 A jointing material for corrugated fibreboard, 78 Interlayer film 79 Contact hole 80 Metal thin film 81 Rewiring layer 82 Blade

---

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

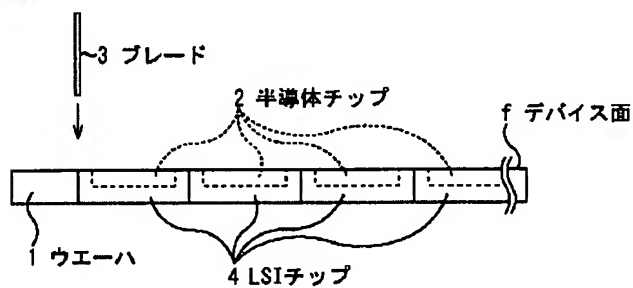
3. In the drawings, any words are not translated.

---

## DRAWINGS

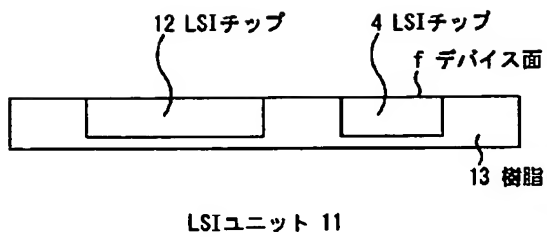
[Drawing 1]

図1



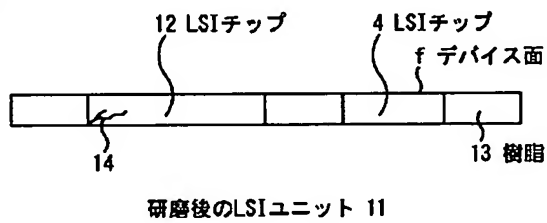
[Drawing 2]

図2



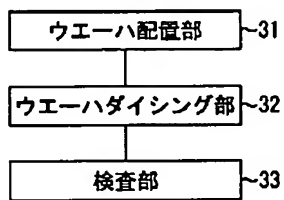
[Drawing 3]

図3



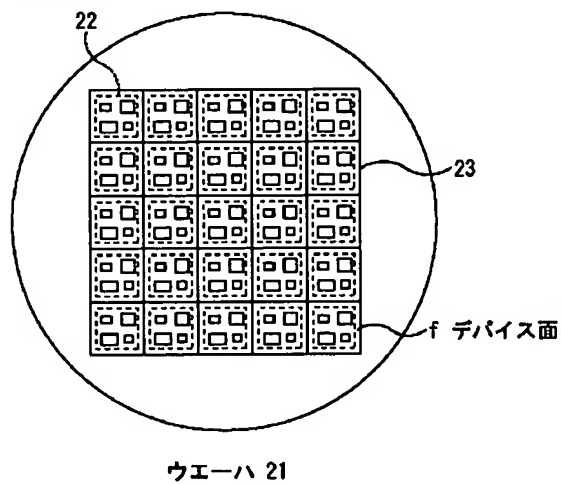
[Drawing 5]

図5



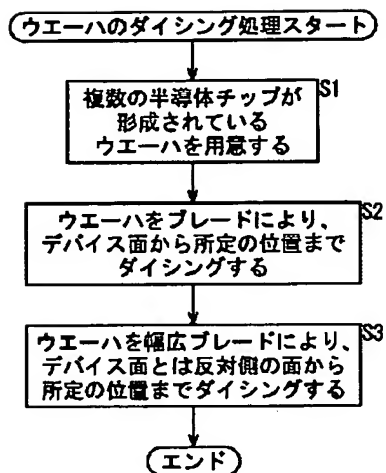
[Drawing 4]

図4



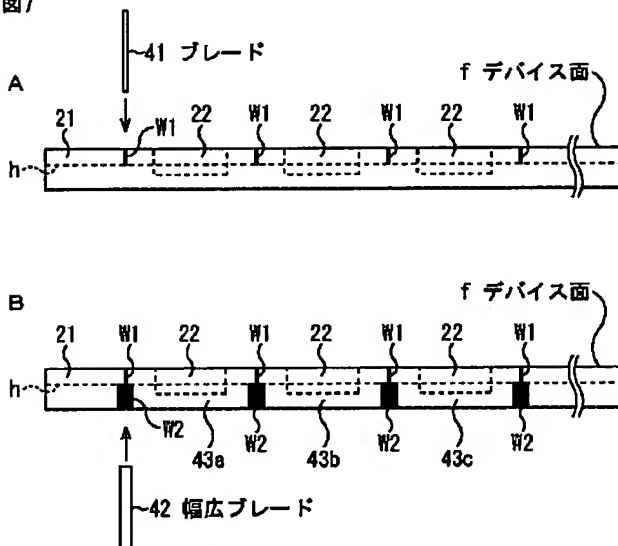
[Drawing 6]

図6



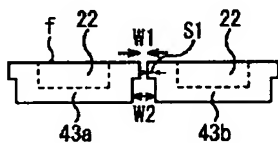
[Drawing 7]

図7



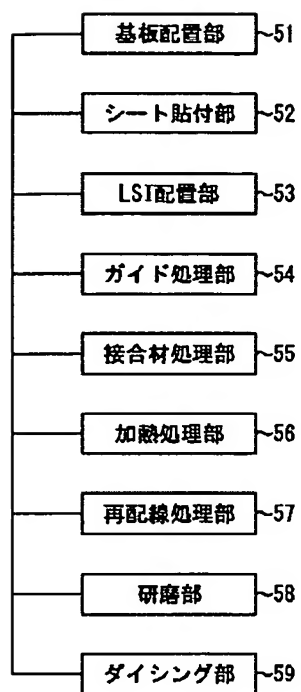
[Drawing 8]

図8



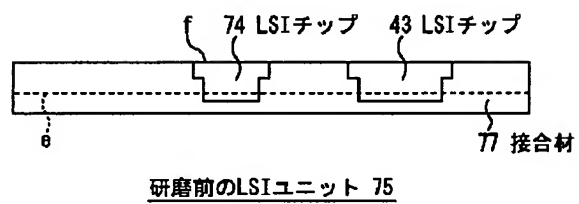
[Drawing 9]

図9



[Drawing 16]

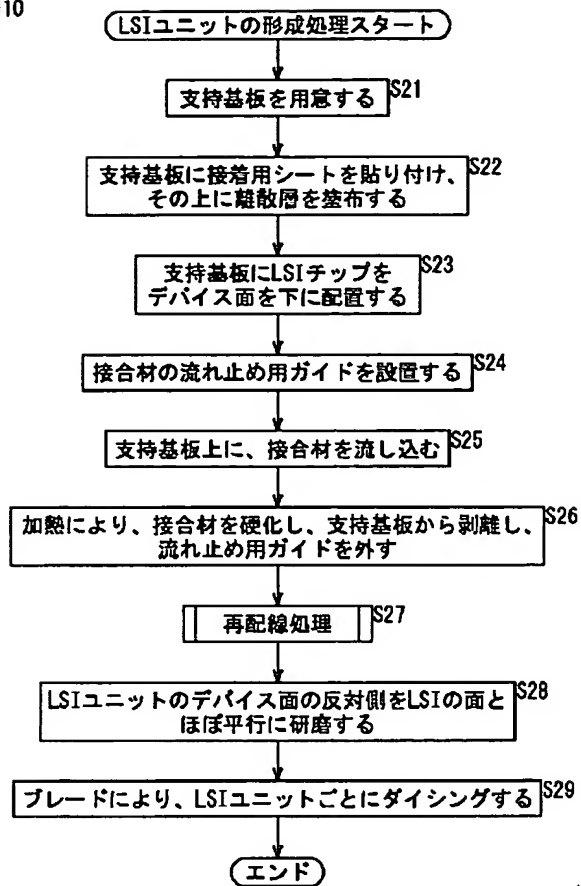
図16



[Drawing 10]

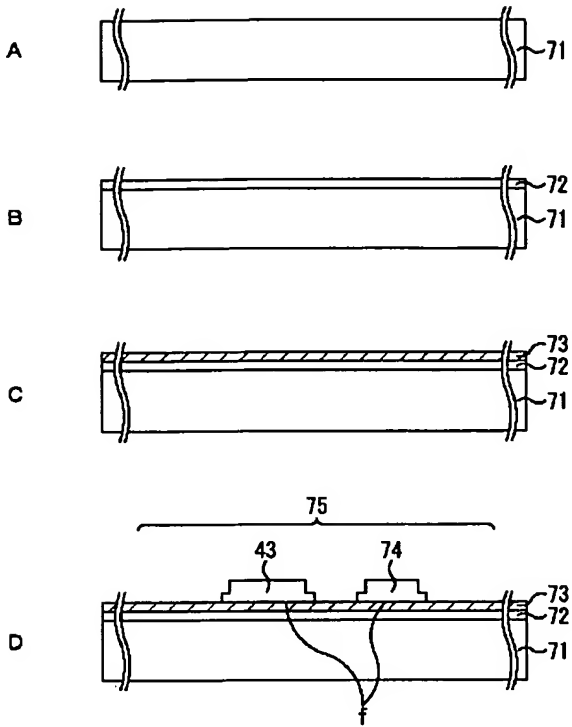


図10



[Drawing 11]

圖11



[Drawing 12]

圖12

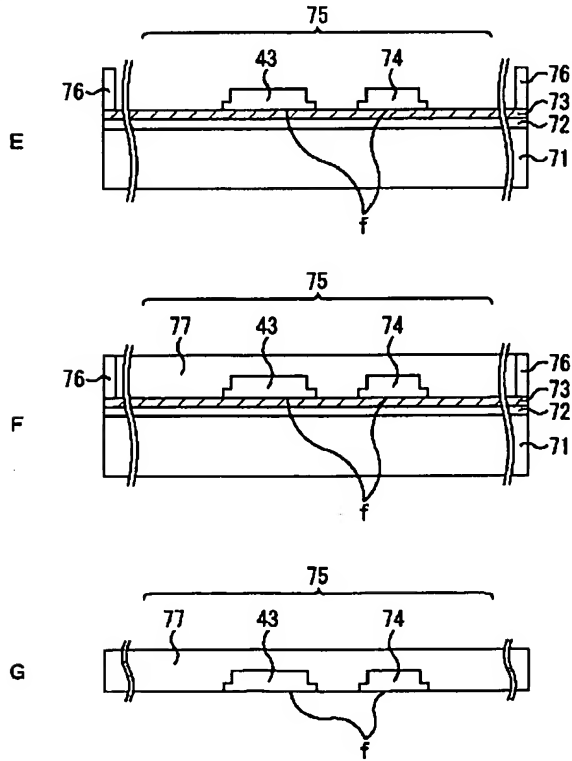
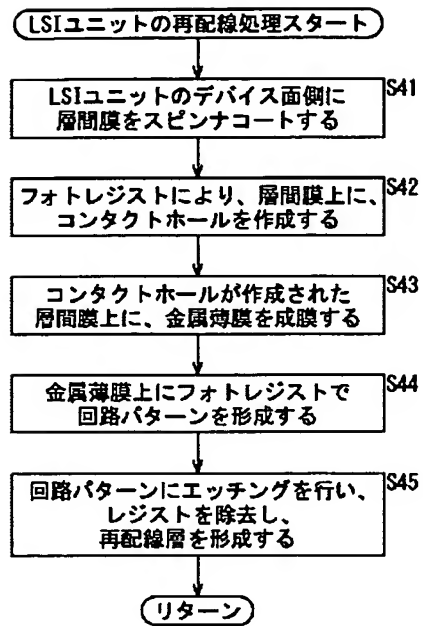


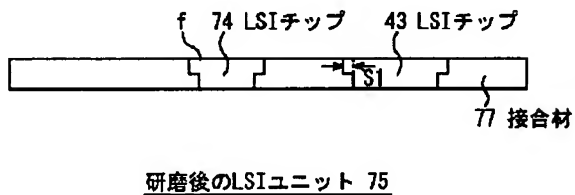


図15



[Drawing 17]

図17



[Translation done.]